



הטכניון – מכון טכנולוגי לישראל
Technion – Israel Institute of Technology

ספריות הטכניון
The Technion Libraries

בית הספר ללימודי מוסמכים ע"ש ארווין וג'ואן ג'ייקובס
Irwin and Joan Jacobs Graduate School

©

All rights reserved

*This work, in whole or in part, may not be copied (in any media), printed, translated, stored in a retrieval system, transmitted via the internet or other electronic means, except for "fair use" of brief quotations for academic instruction, criticism, or research purposes only.
Commercial use of this material is completely prohibited.*

©

כל הזכויות שמורות

אין להעתיק (במדיה כלשהי), להדפיס, לתרגם, לאחסן במאגר מידע, להפיץ באינטרנט, חיבור זה או כל חלק ממנו, למעט "שימוש הוגן" בקטעים קצרים מן החיבור למטרות לימוד, הוראה, ביקורת או מחקר. שימוש מסחרי בחומר הכלול בחיבור זה אסור בהחלט.

**TIMING-DRIVEN VARIATION-AWARE
SYNTHESIS OF HYBRID MESH/TREE
CLOCK DISTRIBUTION NETWORKS**

Ameer Abdelhadi

TIMING-DRIVEN VARIATION-AWARE SYNTHESIS OF HYBRID MESH/TREE CLOCK DISTRIBUTION NETWORKS

Research Thesis

Submitted in partial fulfillment of
the requirements for the degree of
Master of Science in Electrical Engineering

Ameer Abdelhadi

Submitted to the Senate of the
Technion – Israel Institute of Technology

Cheshvan, 5771

Haifa

October, 2010

TIMING-DRIVEN VARIATION-AWARE SYNTHESIS OF HYBRID MESH/TREE CLOCK DISTRIBUTION NETWORKS

Copyright 2010 Ameer Abdelhadi

For my family, who offered me unconditional love and support.

To Rasmia and Mohammad, my cherished parents,
and to Soaad, my beloved spouse and partner.

ACKNOWLEDGEMENTS

The research was conducted in the department of Electrical Engineering in Technion under the supervision of Prof. Ran Ginosar¹, Prof. Avinoam Kolodny and Prof. Eby Friedman².

I would like to express my deep and sincere gratitude to my fabulous advisors, Prof. Ran Ginosar, Prof. Avinoam Kolodny and Prof. Eby Friedman, for encouragement, guidance and support. I attribute the level of my Masters degree to their encouragement and effort and without them this thesis would not have been completed. One simply could not wish for better or friendlier supervisors.

I would like to thank the VLSI Systems Research Center at the Technion for providing CAD tools, and Virage Logic Corporation for providing technology process and cell library information.

I also had the pleasure of presenting part of this work for the 20th Great Lakes Symposium on VLSI (Providence, Rhode Island, USA, 2010). GLSVLSI '10. The trip costs were fully funded by the Technion, for this I'm very grateful.

This work was supported in part by the Technion Advanced Circuits Research Center (ACRC) and by the Advanced Low Power High End Applications (ALPHA) research consortium.

Finally, the generous financial help of the Technion is gratefully acknowledged.

¹ Associate Professor, Department of Electrical Engineering, Technion, Haifa

² Distinguished Professor, Department of Electrical and Computer Engineering, Univ. of Rochester, NY

TABLE OF CONTENTS

Abstract	1
Abbreviations	3
Notation.....	5
Section I: Introduction	7
Section II: Clock Meshes and Skew	9
A. Clock meshes.....	9
B. Skew constraints and uncertainty	10
Clock skew uncertainty	12
Constraint graph	12
Section III: Hybrid Nonuniform Mesh/Tree Synthesis: Motivation and Related Work...	15
A. Motivation	15
B. Related work.....	16
Section IV: Synthesis of Hybrid Mesh/Tree Clock Distribution Networks	19
A. Problem statement	19
Inputs	19
Problem formulation.....	20
B. Hybrid mesh/tree construction algorithm.....	20
Phase I; Derivation of constraint graph	21
Phase II; Skew map extraction	23
Phase III; Overlap removal.....	26
Final Phase IV; Hybrid mesh/tree generation.....	28
Section V: Experimental Results	31
A. Flow and design environment.....	31

B. Results.....	32
Conclusions.....	39
Publications.....	41
References.....	43

LIST OF FIGURES

- Fig. 1. Non-tree and mesh clock architectures: (a) Pentium 4 spine, (b) tree with crosslinks, (c) leaf level global mesh, (d) global mesh with local trees (MLT), and (e) global tree with local meshes (TLM) 11
- Fig. 2. Sequentially-adjacent registers s_i and s_j with $skew^{ij}$ clock skew, bounding a combinational data path with propagation delay P_{Delay}^{ij} 13
- Fig. 3. Mapping of constraint graph: (a) synchronous circuit and (b) corresponding constraint graph..... 13
- Fig. 4. Phase I, constraint graph construction: (a) synchronous circuit floorplan and connectivity with placed registers, (b) corresponding constraint graph; edge weights are the maximum allowed skew, and (c) vertex attributes and edge weights are the initial values 22
- Fig. 5. Phase II algorithm for skew map extraction: (a) algorithm description (mergeVertices() is shown in Fig. 6), and (b) execution example. The rows are iterations and columns are steps of the algorithm..... 24
- Fig. 6. Vertex merging algorithm (part of Phase II) 25
- Fig. 7. Merge example: (a) constraint graph, vertices are placed at the same place as the corresponding registers, (b) constraint graph after merge, and (c) value of attributes after merge 25
- Fig. 8. Phase III; generating nonoverlapping skew map (a) algorithm description, and (b) execution example. The rows are iterations and columns are steps of the algorithm 27
- Fig. 9. Example of the proposed hybrid nonuniform mesh/unbuffered tree structure; (a) The skew map is shown in the background. Darker regions indicate a tighter

variation target. The circular spots are clock sinks, and (b) a 3-D representation of the network including the driving tree. 29

Fig. 10. Proposed method with $\xi = 1$ vs. [10], [11], and [21]: (a) wire length, (b) power, and (c) power and maximum skew vs. relative skew tolerance parameter ξ 35

Fig. 11. A histogram showing the distribution of the logic paths of the proposed method compared to [21], with respect to the maximum skew variation ratio over all maximum allowed skew constraints. 37

LIST OF TABLES

TABLE I: Results of the Proposed Algorithm as Compared with Other Approaches [10] ,[11] ,[21]	34
TABLE II: The Number of the Logic Paths in the Circuit with Respect to the Maximum Skew Variation Ratio over All Maximum Skew Constraints Allowed	36

ABSTRACT

Clock skew variations adversely affect timing margins, limiting performance, reducing yield, and may also lead to functional faults. Non-tree clock distribution networks (CDN), such as meshes and crosslinks, are employed to reduce skew and also to mitigate skew variations. These networks, however, increase the dissipated power while consuming significant metal resources. Several methods have been proposed to trade off power and wires to reduce skew. In this work, an efficient algorithm is presented to reduce clock skew variations while minimizing power dissipation and metal area overhead. With a combination of nonuniform meshes and unbuffered trees (UBT), a variation-tolerant hybrid clock distribution network is produced. Clock skew variations are selectively reduced based on circuit timing information generated by static timing analysis (STA). The skew variation reduction procedure is prioritized for critical timing paths, since these paths are more sensitive to skew variations. A framework for skew variation management is proposed. The algorithm has been implemented in a standard 65 nm cell library using standard EDA tools, and tested on several benchmark circuits. As compared to other nonuniform mesh construction methods that do not support managed skew tolerance, experimental results exhibit a 41% average reduction in metal area and a 43% average reduction in power dissipation. As compared to other methods that employ skew tolerance management techniques but do not use a hybrid clock topology, an 8% average reduction in metal area and a 9% average reduction in power dissipation are achieved.

ABBREVIATIONS

ASIC Application Specific Integrated Circuit

CAD Computer Aided Design

CDN Clock Distribution Networks

CMOS Complementary Metal Oxide Semiconductor

DC Ultra Synopsys® Design Compiler® Ultra

EDA Electronic Design Automation

GDSII Graphic Data System II

MLT Mesh with Local Trees

PVT Process, Voltage, and Temperature

RTL Register Transfer Language

SoC System on Chip

STA Static Timing Analysis

TCL Tool Command Language

TLM Tree with Local Meshes

UBT	Unbuffered Tree
VLSI	Very Large Scale Integration
XML	Extensible Markup Language

NOTATION

S	Collection of clock sinks (registers)
s_i	A clock sink (Register)
$P_{Delay,max}^{i,j}$	Maximum permissible delay for a local data path bounded by two sequentially-adjacent registers i and j
T_{clock}	Clock period
t_{setup}	Setup time of a register
d_i	Delay (maximum or minimum) of the clock signals arriving at the register i
$skew_{max}^{ij}$	Maximum clock skew between two sequentially-adjacent registers i and j
$skew_{allowed}^{ij}$	Allowed clock skew between two sequentially-adjacent registers i and j
$skew_{nom}^{ij}$	Deterministic nominal skew components between two sequentially-adjacent registers i and j
δ_{max}^{ij}	The maximum skew variation of the probabilistic component between two sequentially-adjacent registers i and j
μ_{skew}^{ij}	The mean of the skew between two sequentially-adjacent registers i and j
σ_{skew}^{ij}	Standard deviation between two sequentially-adjacent registers i and j
G_C	Constraint graph, directed multi-graph

G_C^V	G_C vertices group, representing clock sinks S (Registers)
v_i	Vertex in S , representing a clock sink (register)
G_C^E	G_C Edges groups, representing logic paths
e_{ij}	Weighted edge in G_C^E , connecting the two vertices v_i and v_j
$w(e_{ij})$	Maximum skew constraint of the local data path represented by the edge e_{ij}
$C(v_i)$	Capacitance of the corresponding sink represented by the vertex v_i
$x(v_i), y(v_i)$	The coordinates of the corresponding sink represented by the vertex v_i in Manhattan grid
$bbox(v_i)$	Bounding box of the corresponding sink or group of sinks represented by the vertex v_i in Manhattan grid
x_{cm}, y_{cm}	The coordinates of a center of mass in Manhattan grid
V_{UBT}	A set of vertices representing the clock sinks within a skew region which should be routed with unbuffered tree
ξ	The relative tolerance parameter
m	Amount of horizontal metal segments in a uniform mesh
n	Amount of horizontal metal segments in a uniform mesh
T	Threshold Vector; Contains all pre-determined threshold values and defines basic time steps for mesh construction
t	A threshold value from T

Section I

INTRODUCTION

Non-tree based clock distribution topologies (e.g., clock meshes) exhibit useful topological characteristics due to multi-path signal propagation created by routing redundancies [1]–[11]. These non-tree clock distribution networks distribute the global clock signal over an integrated circuit, exhibiting high immunity to process, voltage, and temperature (PVT) variations, while tolerating non-uniform switching and an unbalanced distribution of the clocked elements. These networks achieve low and deterministic skew, low skew variations, and low jitter. Clock meshes also overcome late design changes while satisfying tight time-to-market deadlines [1]. Clock meshes constitute an effective alternative for distributing global clock signals, and are used in high performance microprocessors [1] such as the Power4 [2], Digital Alpha [3], Intel® Pentium® 4 [4], and Xeon® [5].

Nevertheless, non-tree clock distribution networks suffer certain drawbacks. These networks are composed of a large number of mesh nodes and unbalanced loads, making these networks difficult to analyze, optimize, and automate [6],[12],[13]. Routing redundancies require significant resources as compared to optimized tree-based clock distribution networks where point-to-point routing is used [7]. Meshes dissipate higher power [12] due to the large capacitance incurred by the additional metal wires and drivers. Furthermore, clock gating is impractical in most mesh structures. Due to delay differences in the drivers, short-circuit current loops are generated across redundant mesh paths [12]. Increasing process variations [14],[15] dissipate more power, since a more tolerant mesh structure dissipates higher power due to greater use of metal and driver oversizing [15]. Several proposals for optimizing non-tree distribution networks have been presented, employing either customized meshes [1]–[7] or automating the process of

adding crosslinks to the clock tree to enhance tolerance and lower power [8],[9]. Yet other methods propose removing some edges from a mesh to reduce power while minimally increasing the skew [10],[11].

While most of these papers focus on skew variations, the approach proposed in this dissertation manages skew tolerance based on the criticality of the timing margins. The clock signals driving a critical logic path are required to be more tolerant to skew variations to reduce the effect of skew on timing margins and cycle time. Those clock signals that drive a non-critical logic path however must satisfy certain skew variations without affecting the cycle time [16]. By relaxing skew variation requirements in the non-critical paths, power savings can be achieved [1]. The proposed method employs graph-theoretic and geometric algorithms with quasi-linear run time. Using static timing analysis (STA), a physical floorplan, and process information, a hybrid topology of non-uniform clock mesh and unbuffered trees which tolerates clock skew based on timing path criticality is generated. Unbuffered clock trees are used as an extension to the clock mesh within those regions with weak variational requirements. Since process variations and power supply noise in clock buffers are the dominant sources of skew variations [14], unbuffered clock trees, which are comprised primarily of wires and no transistors, exhibit lower skew variations. The clock distribution network is adapted to satisfy clock skew variations while minimizing power dissipation and metal area overhead. The proposed flow has been successfully tested on several benchmark circuits.

The rest of the dissertation is organized as follows. Non-tree clock distribution networks, skew constraints, constraint graphs, and clock skew uncertainty are reviewed in section II. The motivation behind this work and a review of previous work on clock mesh synthesis and optimization are discussed in section III. The timing-driven variation-aware synthesis of non-uniform mesh and unbuffered tree-based clock distribution networks and the proposed solution are presented along with a run time example in Section IV. The experimental method and results are described in section V. Finally, this dissertation is concluded in section VI and future research directions are suggested.

Section II

CLOCK MESHES AND SKEW

In this section, essential preliminaries are outlined. Specifically, in section A, non-tree clock topologies, and in particular, clock meshes are described. In section B, the concept of clock skew, skew uncertainty modeling and notation, and constraint graphs for representing synchronous circuits are reviewed.

A. Clock meshes

Clock tree topologies provide a single path for each sink. For distant sinks, these paths are largely separate from each other. Each separate path suffers from delay uncertainty, resulting in skew uncertainty between two sinks. One approach to reduce variations is simply connecting nodes with a crosslink. Hence, the connected nodes will have more than one path from the clock source, mutually compensating each path. This non-tree approach has been manually applied to the Pentium 4 microprocessor [4], where spines connect multi-clock nodes, as illustrated in Fig. 1(a). Automation of this method has been evaluated in several papers [8].

Since spines or crosslinks connect pairs of nodes and do not cover an entire floorplan (see Fig. 1(b)), metal grids driven by a top level clock driver which span several regions have been introduced. A mesh is a grid of horizontal and vertical metal wire segments, composed of interconnected mesh nodes. Typical mesh topologies consist of three parts: the mesh itself (usually uniform), an upper driving tree, and local interconnects connecting the clock sinks to the mesh, as shown in Fig. 1(c). A wide variety of mesh structures has been proposed. Non-uniform meshes [5],[10],[11] have been developed to save wire resources and power. Design automation and optimization of metal and power

versus tolerance tradeoffs are discussed in [10],[11]. Mesh architectures differ in the locality of the mesh. A global mesh with local trees (MLT) [6] is a mesh fed from a global clock source with local trees distributing the clock to local regions (Fig. 1(d)), while a global tree with local meshes (TLM) [6] is a clock tree fed from a global clock source with a local mesh at each leaf (Fig. 1(e)). Other hybrid mesh-style structures are also possible.

B. Skew constraints and uncertainty

Synchronous circuits comprise data paths, where each combinational logic path is located between two registers. A clock network connects the clock source to a collection of clock sinks $S=\{s_1,s_2,\dots,s_n\}$. Two registers are *sequentially-adjacent* if the registers are connected with a combinational data path [1], as illustrated in Fig. 2. The maximum permissible delay for a local data path bounded by two sequentially-adjacent registers is

$$P_{Delay,max}^{i,j} = T_{clock} - t_{setup} - skew_{max}^{i,j}, \quad (1)$$

where T_{clock} denotes the clock period, t_{setup} is the setup time of the bounding registers, and $skew_{max}^{i,j}$ denotes the maximum clock skew between two bounding registers [1]. The maximum clock skew $skew_{max}^{i,j}$ is the difference in the clock arrival time between two sequentially-adjacent registers. If d_i and d_j are the delay (maximum or minimum) of the clock signals arriving at the registers i and j , respectively, the skew between two adjacent registers is

$$skew_{max}^{i,j} = \max_{i,j} \left(|d_i - d_j| \right). \quad (2)$$

The clock skew is therefore bounded by the following *maximum skew constraint*,

$$skew_{i,j} \leq T_{clock} - T_{setup} - P_{Delay,max}^{i,j}. \quad (3)$$

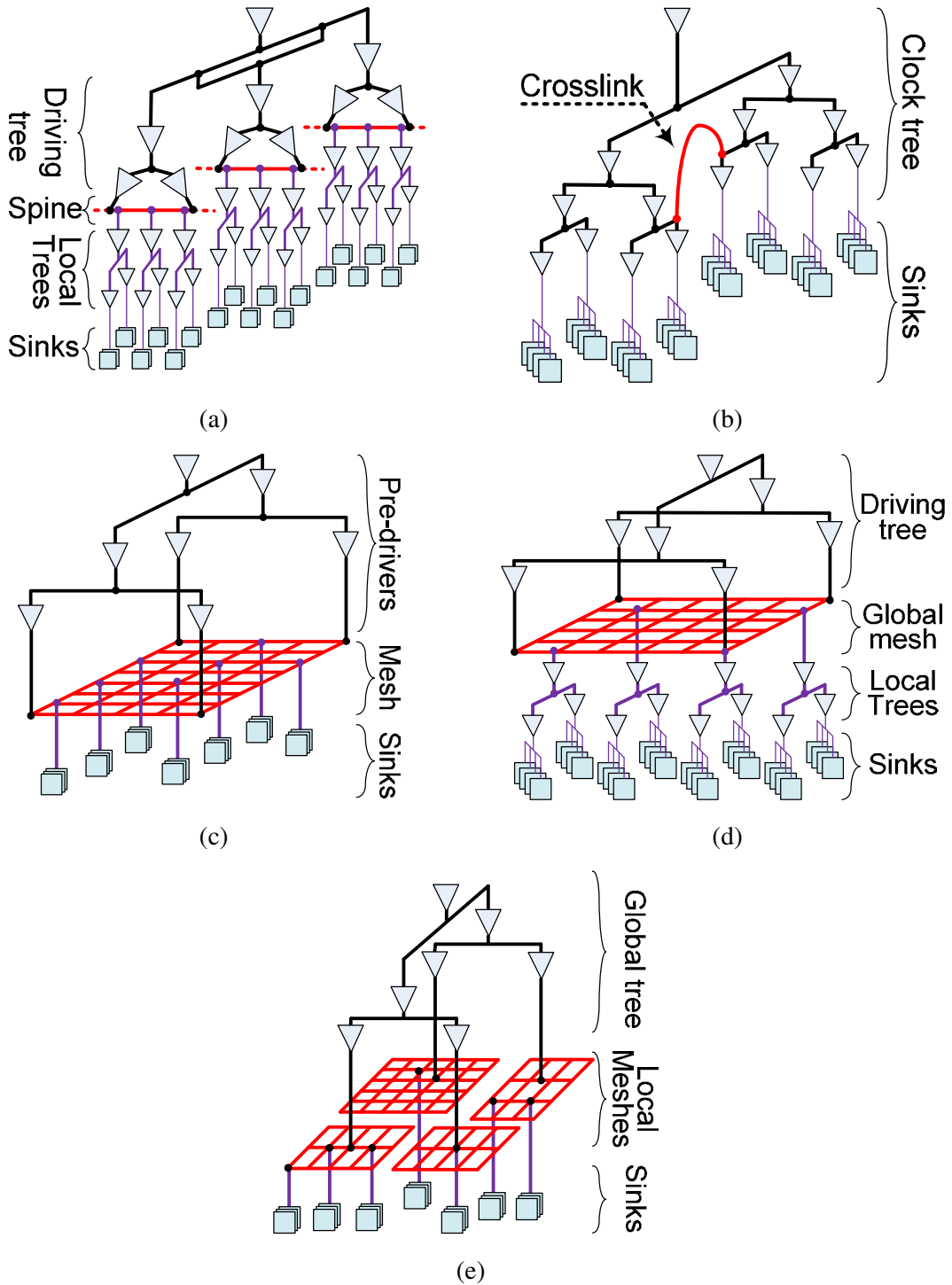


Fig. 1. Non-tree and mesh clock architectures: (a) Pentium 4 spine, (b) tree with crosslinks, (c) leaf level global mesh, (d) global mesh with local trees (MLT), and (e) global tree with local meshes (TLM)

Clock skew uncertainty

As technology scales, the effect of PVT variations on clock skew is aggravated [14],[15]. Clock skew can be modeled as composed of both deterministic and probabilistic elements [13],[18]. The following notation is employed to describe these probabilistic effects. For two sequentially-adjacent registers i and j , the deterministic nominal skew components is $skew_{nom}^{i,j}$, and the maximum skew variation of the probabilistic component is $\delta_{max}^{i,j}$. The mean of the skew between two sequentially-adjacent registers i and j is denoted by $\mu_{skew}^{i,j}$ and the standard deviation is denoted by $\sigma_{skew}^{i,j}$. A possible 3σ design target may require that, for instance, the maximum skew will be limited by

$$skew_{max}^{i,j} = \mu_{skew}^{i,j} + 3\sigma_{skew}^{i,j}. \quad (4)$$

Constraint graph

Synchronous circuits are represented as a directed multi-graph G_C [1],[16],[17]. Each clock sink is represented by a vertex $v_i \in G_C^V$, such that $G_C^V = S$. Each local data path located between two sequentially-adjacent clock sinks i and j is represented by a weighted edge $e_{i,j} \in G_C^E$ connecting the two vertices v_i and v_j (see Fig. 3). The graph edges are therefore

$$G_C^E = \{e_{i,j} = v_i \sim v_j \mid P_{Delay}^{i,j} < \infty ; v_i, v_j \in G_C^V\}. \quad (5)$$

The edges can be weighted by any corresponding combinational data path property, such as delay, margin, and skew. Besides the edge weights, attributes can be attached to either edges or vertices. For vertices, any corresponding sink attribute can be used, such as the sink capacitance, location, clock delay, and data arrival time.

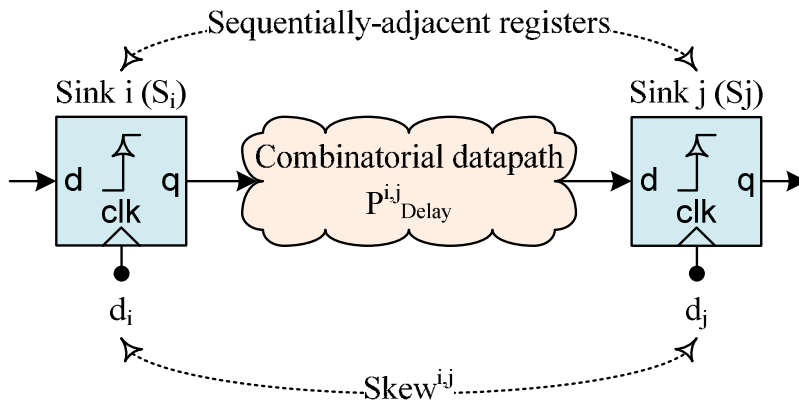


Fig. 2. Sequentially-adjacent registers s_i and s_j with $skew^{i,j}$ clock skew, bounding a combinational data path with propagation delay $P^{i,j}_{Delay}$.

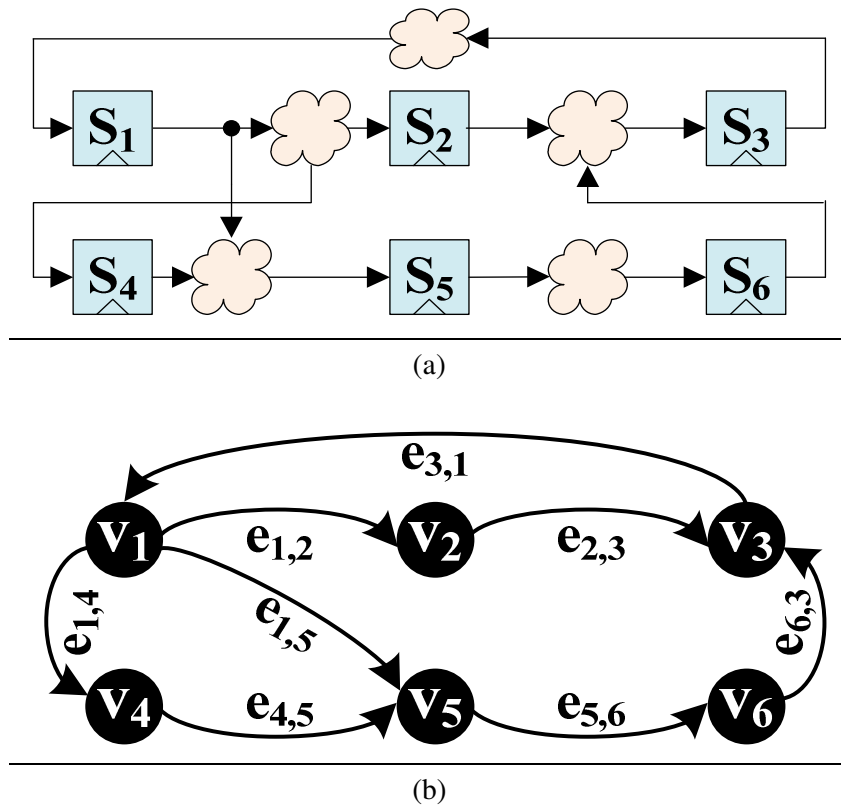


Fig. 3. Mapping of constraint graph: (a) synchronous circuit and (b) corresponding constraint graph.

Section III

HYBRID NONUNIFORM MESH/TREE SYNTHESIS: MOTIVATION AND RELATED WORK

Motivation for using timing information as a criterion for clock mesh synthesis is discussed in section A. A review of previous clock mesh synthesis methods is presented in section B.

A. Motivation

Aggressive process scaling increases the portion of the clock skew as compared to the cycle time, reducing timing margins [14],[15]. Some approaches have been proposed to minimize clock skew, but these methods usually incur an increase in power consumption. Other methods exploit useful skew by scheduling clock skew to increase the maximum frequency [17]. These methods, however, suffer from increased clock skew uncertainty with process scaling. This issue limits circuit performance since timing margins are reduced [14],[15].

Timing margins are provided to overcome uncertainty in the clock arrival time caused by within-die variations. While poor margins reduce yield, extreme worst case margins can produce overdesigned circuits with increased power dissipation and resource consumption.

16 HYBRID NONUNIFORM MESH/TREE SYNTHESIS: MOTIVATION AND RELATED WORK

In particular, the critical paths within a digital circuit are sensitive to skew variations. Hence, skew variations should be minimized, particularly in those clock paths that drive the critical paths. This method, however, is usually achieved at the expense of higher power dissipation [1]. This work focuses on differential treatment of the clock and selective management of the skew. The more critical a path, the more sensitive the path is to skew variations and the greater the effort to reduce these skew variations [16]. Paths that are non-critical are assigned a lower effort to reduce skew variations. Path criticality prioritization is intended to save power since skew variations are not minimized on those paths that do not affect circuit operation or speed. This approach is in contrast to skew optimization methods that aim to reduce maximum or nominal skew over an entire circuit.

B. Related work

The effect of increasing process variations is particularly pronounced in clock distribution networks, since skew variations strongly influence system performance and require careful analysis of minimum delays [14],[15]. Non-tree clock meshes, although useful in mitigating process variations, are difficult to analyze and automate due to the complex structure. Most mesh clock networks are manually designed in high performance applications such as microprocessors [1]–[7]. Several approaches automate the clock mesh design process. Mesh sizing and, in particular, segment wire width sizing using network flow algorithms have been used to optimize nominal skew rather than skew variations [19]. Other methods start from a clock tree and incrementally add crosslinks among the tree nodes or leaves. Crosslinks are inserted between those nodes exhibiting significant variations. The objective is to add the fewest number of crosslinks while reducing the maximum or average variations [8],[9]. Other approaches start with a fully uniform mesh, identify and remove redundant segments whose effect on variations is minimal by applying network theory techniques, thereby trading off variations with wire length and power. A set-cover problem is solved to obtain mesh-based pre-driver

SECTION III:**HYBRID NONUNIFORM MESH/TREE SYNTHESIS: MOTIVATION AND RELATED WORK 17**

minimum buffers [10],[11]. The initial uniform grid is designed to ensure that metal redundancies within the grid satisfy target skew requirement [10]. Whereas some methods generate a clock distribution network with nonuniform meshes, adapting the mesh structure to satisfy skew variation requirements [21], other methods manually combine uniform meshes and trees to construct a hybrid topology [22],[23]. The objective of these hybrid methods is to reduce the maximum nominal skew of the clock tree by adding a mesh to the leaves of the tree [22]. Other hybrid topology methods combine meshes with zero skew trees (ZST) to construct a zero skew clock distribution network [23]. Nevertheless, the above methods do not exploit circuit timing information for selectively reduction of skew variation.

Section IV

SYNTHESIS OF HYBRID MESH/TREE CLOCK DISTRIBUTION NETWORKS

Timing-driven variation-aware hybrid mesh/tree clock distribution network synthesis is discussed in this section. The problem formulation and solution approach are presented in sections A and B, respectively.

A. Problem statement

The problem of managing skew variations can be formulated using the notations defined in Section II (B).

Inputs

Given a circuit connectivity, physical placement, and static timing analysis, including (1) a set of clock sinks in Manhattan plane $S=\{s_1, s_2, \dots, s_n\}$, (2) maximum skew constraints between each set of sequentially-adjacent registers s_i and s_j , namely, the maximum permissible skew $skew_{allowed}^{i,j}$, and (3) the relative tolerance parameter ξ . The relative tolerance parameter ξ is a user defined parameter denoting the upper bound of the maximum skew variation ratio over all maximum skew constraints allowed for all data paths,

$$\xi \geq \frac{\delta_{\max}^{i,j}}{skew_{allowed}^{i,j}} \quad (\forall e_{i,j} \in G_C^E). \quad (6)$$

Problem formulation

Construct a hybrid mesh/tree clock distribution network consisting of nonuniform meshes and unbuffered trees with reduced wire length and power consumption. This clock distribution network limits the fraction of the maximum skew variation over all maximum skew constraints by ζ for every combinational data path, as expressed by (6).

The mesh density is the number of nodes connecting wire segments within the mesh. A uniform mesh consists of m horizontal segments and n vertical segment requiring $n \times m$ nodes.

Higher levels of ζ lead to further reductions in clock skew variations at the expense of a denser mesh, longer wire length, and higher power consumption. Alternatively, lower levels of ζ lead to a sparse mesh or even a tree, since skew variation reduction requirements are relaxed. Thus, power and metal savings could be achieved. ζ may be tuned by considering the tradeoff among power dissipation, metal consumption, and design robustness.

B. Hybrid mesh/tree construction algorithm

The algorithm places multiple clock meshes or unbuffered trees over certain rectangular regions. The meshes may be of different densities. The unbuffered trees are attached to the nonuniform mesh structure as extensions of this mesh. The regions may partly overlap. Each region covered by a mesh is associated with a specific maximum skew constraint, which determines the density of the corresponding mesh. The algorithm comprises four phases. In phase I, the constraint graph is derived from static timing analysis and connectivity information. A skew map, comprising floorplan regions with different skew variation requirements, is extracted in phase II. The overlap among the skew regions is removed in phase III. Finally, a mesh with a specific density or an unbuffered tree is matched to each skew region in phase IV, constructing a hybrid mesh/tree topology.

Phase I; Derivation of constraint graph

A constraint graph, as defined in Section II (B) above, is derived from circuit connectivity information. See the example shown in Fig. 4. The vertices represent clock sinks and the edges represent data paths between vertices. The edge weight $w(e_{i,j})$ represents the maximum skew constraint of the local data path represented by the edge $e_{i,j}$, $w(e_{i,j}) = skew_{allowed}^{i,j}$. Each vertex can be assigned multiple attributes, such as the capacitance of the corresponding sink $C(v_i) = Capacitance(s_i)$ and the geometric location of the clock sinks of the vertex.

As the algorithm progresses, some vertices are merged, representing a geometric rectangular region containing multiple clock sinks. As the vertices are merged, the inner connectivity between the constituent sinks is ignored, and only the inter-vertex connectivity is preserved. The attributes of a vertex represent the properties of all sinks included in the vertex: the capacitance is the sum of all sink capacitances and the geometric location is replaced by a rectangular bounding box covering the physical location of all of the corresponding clock sinks.

Misplaced registers, *e.g.*, sequentially-adjacent registers bounding a critical timing path and placed diagonally apart, may cause undesired results. These cases are reported at an early stage, suggesting replacing interfering registers to avoid unnecessary design loops.

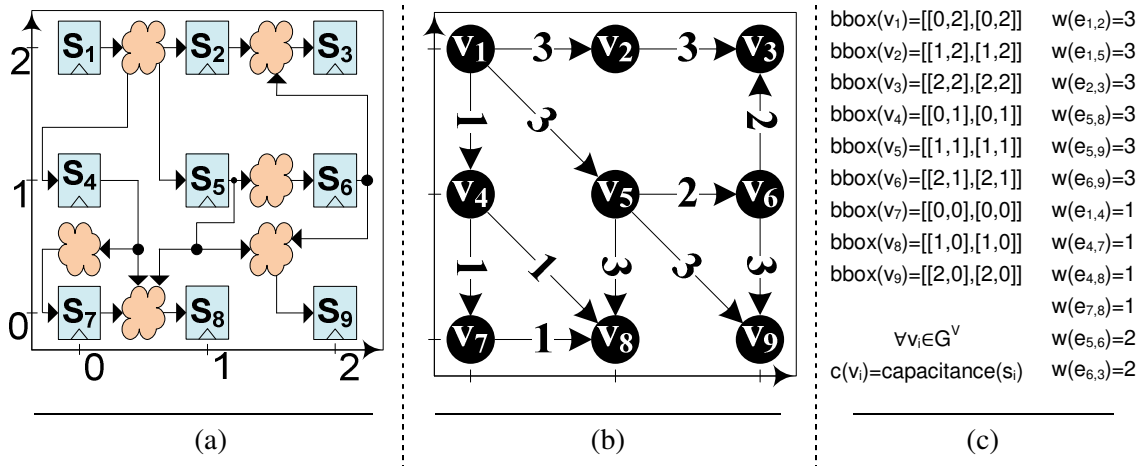


Fig. 4. Phase I, constraint graph construction: (a) synchronous circuit floorplan and connectivity with placed registers, (b) corresponding constraint graph; edge weights are the maximum allowed skew, and (c) vertex attributes and edge weights are the initial values

Phase II; Skew map extraction

The rectangular regions satisfying certain skew requirements are identified. The algorithm iterates over an increasing threshold level. A vector T contains all pre-determined threshold values and defines basic time steps for mesh construction. At each iteration, each connected vertex is interconnected by edges with a weight below the current threshold and merged into a new vertex. A geometric bounding box covering all clock sinks within the same vertex is identified. The algorithm is described in Fig. 5(a). A threshold $t \in T$ is selected, edges with weight less than the threshold are eliminated (step 1.2), the corresponding vertices are identified as a connected component (step 1.3), and these vertices are merged into one larger vertex (step 1.4.1). The skew constraint of this new vertex is the tightest skew constraint among all edges inside the corresponding connected component (step 1.4.2). The algorithm terminates when no threshold values remain in T , or only one vertex remains.

A run time example of Phase II is shown in Fig. 5(b). The merge operation is performed by the subroutine shown in Fig. 6, as follows: The inner edges inside a connected component are removed and externally connected edges are connected to the new merged vertex (step 2). The attributes of all vertices inside the connected component are merged into the attributes of the corresponding new vertex. The capacitance is the sum of all inner capacitances (step 3) and the bounding box bounds all inner sinks or inner bounding boxes (step 4). The merge operation is illustrated in Fig. 7. Note that this phase produces a set of possibly overlapping rectangular regions.

The time complexity of Phase II is $O(|S|)$. Extracting and merging all connected components requires $O(|G_C^V| + |G_C^E|)$. The overall run time of phase II is therefore $O(|T| \cdot (|G_C^V| + |G_C^E|))$. Since $|T|$ is constant and the number of edges is of the same order as the number of vertices $|G_C^E| = O(|G_C^V|)$, the time complexity of phase II is $O(|G_C^V|) = O(|S|)$.

Phase II; skew map extraction
Inputs: G_C : Constraints graph, T : Thresholds vector
Output: <i>skewBbox</i> stack, contains $[skew_{ucc}, cap_{ucc}, bbox_{ucc}]$ triplets, in ascending order by skew
<pre> 1.foreach $t \in T$ 1.1. $G_C^{undirected} = getUndirected(G_C)$ 1.2. foreach $e \in G_C^E$ 1.2.1. if $w_e > t$ $G_C^{undirected} = G_C^{undirected} / e$ 1.3. $UCC = getConnectedComponents(G_C^{undirected})$ 1.4. foreach $ucc \in UCC$ 1.4.1. $v_{merge} = mergeVertices(G_C, ucc)$ 1.4.2. $skew_{ucc} = \min(w_e e = v_i \sim v_j, v_i, v_j \in ucc)$ 1.4.3. $bbox_{ucc} = bbox(v_{merge})$ 1.4.4. $cap_{ucc} = cap(v_{merge})$ push(<i>skewBbox</i>, $skew_{ucc}, cap_{ucc}, bbox_{ucc}$) </pre>

(a)

	Initial Graph G_C	Remove edges with $w_e > t$ from $G_C^{undirected}$ (1.2)	Merge connected component into G_C (step 1.4)	Get $[skew, cap, bbox]$ triples	Push triples into <i>SkewBBox</i>
$T = [1, 2, 3]$ $t = 1$					$[1, C_1, [[0,0], [1,2]]]$
$t = 2$					$[2, C_2, [[1,1], [2,2]]]$ $[1, C_1, [[0,0], [1,2]]]$
$t = 3$					$[3, C_3, [[0,0], [2,2]]]$ $[2, C_2, [[1,1], [2,2]]]$ $[1, C_1, [[0,0], [1,2]]]$

(b)

Fig. 5. Phase II algorithm for skew map extraction: (a) algorithm description (*mergeVertices()* is shown in Fig. 6), and (b) execution example. The rows are iterations and columns are steps of the algorithm

Merge vertices procedure
Inputs: G : Graph, V : Group of vertices to be merged Output: V_{merge} : Merged vertex with merged attributes
$MergeVertices(G, V)$ 1. create new vertex v_{merge} 2. foreach $v \in V$ 2.1. foreach $e = v \sim v'$ 2.1.1. if $v' \notin V$ $e = v' \sim v_{merge}$ 2.2. remove v 3. $C(v_{merge}) = \sum_{v \in V} C(v)$ 4. $Bbox(v_{merge}) = [min(x_0), min(y_0), max(x_1), max(y_1)] \mid (x_0, y_0, x_1, y_1) = bbox(v), v \in V$ 5. return v_{merge}

Fig. 6. Vertex merging algorithm (part of Phase II)

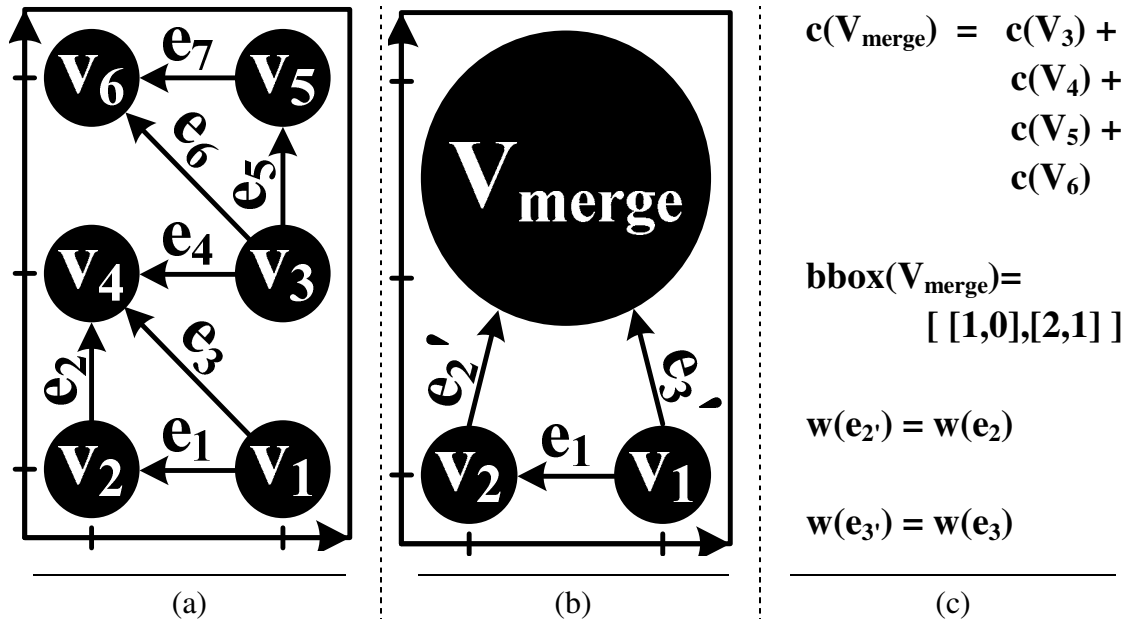


Fig. 7. Merge example: (a) constraint graph, vertices are placed at the same place as the corresponding registers, (b) constraint graph after merge, and (c) value of attributes after merge

Phase III; Overlap removal

Partly overlapping rectangular skew regions are merged into polygons, and skew levels are assigned to the polygons. When two skew regions overlap, the tighter skew constraint prevails and is inherited by the resulting polygon, as illustrated in Fig. 8(a). The input *[skew, capacitance, bounding box]* triplets are sorted in ascending order of skew. Iteratively, a triplet with a tighter skew constraint is removed from the input stack (step 2.1). The circuit floorplan is filled with non-overlapping skew regions (steps 2.2 and 2.3). Polygon shaped skew regions are constructed from overlapping regions. A run time example of Phase III is shown in Fig. 8(b).

Polygon union and intersection operations can be performed in $O(n \cdot \log(n))$ steps using a segmented tree data structure [20], where n is the total number of polygon segments. This complexity is the same order as the number of vertices $n = O(|GCV|) = O(|S|)$, and the computational runtime of this phase is therefore quasi-linear, $O(|S| \cdot \log(|S|))$.

Phase III; overlapping removal	
Inputs:	[skew,capacitance,bbox] triplets from phase II
Output:	skewPolygon stack, containing [skew,capacitance,polygon] triplets
<p>1. covered=\emptyset</p> <p>2. while skewBbox$\neq\emptyset$</p> <p> 2.1. [skew,cap.,bbox]= pop(reversed((skewBbox)))</p> <p> 2.2. polygon=covered$\bar{\cap}$ bbox</p> <p> 2.3. covered=covered\cup bbox</p> <p> push(skewPolygon[skew,cap,polygon])</p>	

(a)

reversed(skewBbox)	skew	Bbox	polygon	Covered	[skew,cap,polygon]
[1,C ₁ ,[[0,0],[1,2]]] [2,C ₂ ,[[1,1],[2,2]]] [3,C ₃ ,[[0,0],[2,2]]]	1				[1,C ₁ ,[[0,0],[0,2],[1,2],[1,0]]]
[2,C ₂ ,[[1,1],[2,2]]] [3,C ₃ ,[[0,0],[2,2]]]	2				[2,C ₂ ,[[1,1],[1,2],[2,2],[2,1]]] [1,C ₁ ,[[0,0],[0,2],[1,2],[1,0]]]
[3,C ₃ ,[[0,0],[2,2]]]	3				[3,C ₃ ,[[1,0],[1,1],[2,1],[2,0]]] [2,C ₂ ,[[1,1],[1,2],[2,2],[2,1]]] [1,C ₁ ,[[0,0],[0,2],[1,2],[1,0]]]

(b)

Fig. 8. Phase III; generating nonoverlapping skew map (a) algorithm description, and (b) execution example. The rows are iterations and columns are steps of the algorithm

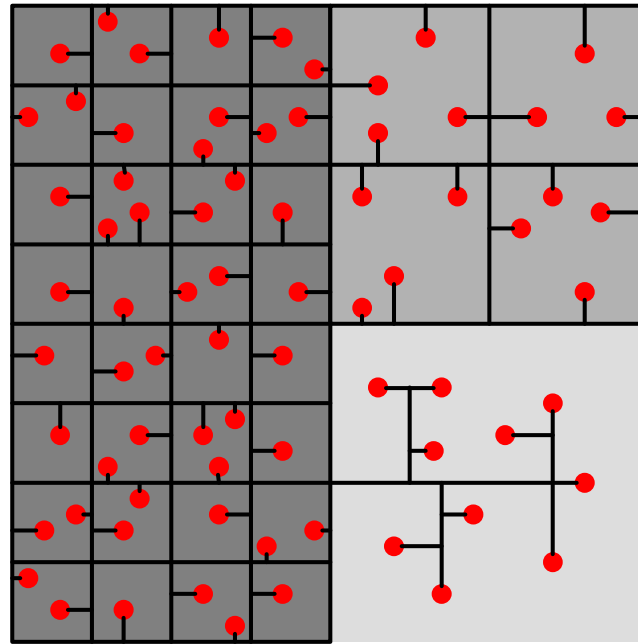
Final Phase IV; Hybrid mesh/tree generation

A clock mesh or unbuffered tree is designed for each of the non-overlapping skew polygons. Each mesh or tree should satisfy the skew requirement of the polygon. If the maximum allowed skew for a specific region is $skew_{maxallowed}$, the maximum allowed variation is $\delta^{skew}_{max} < \zeta \cdot skew_{maxallowed}$. If the variation target, namely δ^{skew}_{max} , is satisfied by an unbuffered tree, an unbuffered tree is synthesized to connect all of the clock sinks within the current skew region. The root of this unbuffered tree is attached to the closest mesh by the shortest Manhattan path between this attaching point and the center of mass of the clock sinks within the current skew region. The center of mass is the average location of all of the clock sinks, weighted by the sink capacitances [24]. Let V_{UBT} denote a set of vertices representing the clock sinks within the current skew region, the center of mass of these vertices can be expressed as:

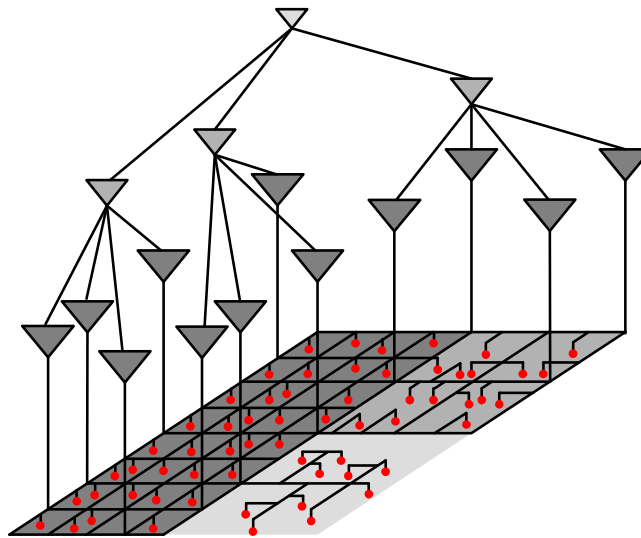
$$(x_{cm}, y_{cm}) = \left(\frac{\sum_{v \in V_{UBT}} c(v)x(v)}{\sum_{v \in V_{UBT}} c(v)}, \frac{\sum_{v \in V_{UBT}} c(v)y(v)}{\sum_{v \in V_{UBT}} c(v)} \right), \quad (7)$$

Where (x_{cm}, y_{cm}) and $(x(v), y(v))$ denote the coordinates in Manhattan grid of the center of mass and the clock sink represented by v , respectively. Since unbuffered trees consist of only metal interconnect, the skew variation of these trees is proportional to the interconnect delay variation. Due to slew rate degradation of the clock signal along the unbuffered long wires, those skew regions covered with unbuffered trees are restricted by the area and sink capacitances [25]. If the target skew variation is not achieved with unbuffered trees, meshes are used. The skew variation is inversely proportional to the mesh density. The density of each mesh is therefore tuned to match the required skew variation. Skew as a function of mesh density has also been discussed in [10]. Optimized pre-drivers are placed by solving a set-covers problem [10],[11].

The overall run time for the entire algorithm is quasi-linear in the number of clock sinks: $O(|S| \cdot \log(|S|))$. An example output of the algorithm is illustrated in Fig. 9.



(a)



(b)

Fig. 9. Example of the proposed hybrid nonuniform mesh/unbuffered tree structure; (a) The skew map is shown in the background. Darker regions indicate a tighter variation target. The circular spots are clock sinks, and (b) a 3-D representation of the network

Section V

EXPERIMENTAL RESULTS

To verify the capability of the proposed method to reduce power and wire length consumed by the mesh architecture, and to compare these capabilities to previous methods, several experiments have been conducted. These experiments are described and the results are discussed in sections A and B, respectively.

A. *Flow and design environment*

The proposed algorithm has been implemented in Perl and TCL. Experiments have been performed on several circuits from the ISCAS89 sequential benchmark suite. These benchmark circuits have been designed using the Virage Logic SiWare™ standard cell logic library with a 65 nm process operating at a 1 GHz frequency. An RTL representation of the benchmark circuits have been synthesized into a netlist using Synopsys® Design Compiler® Ultra (DC Ultra) and placed and routed by the Cadence® SoC Encounter™ RTL-to-GDSII System. A TCL hook procedure is used to construct the constraint graphs, which are imported into an XML database. The proposed algorithm generates mesh and pre-driver locations. Unbuffered clock trees are routed with the Cadence® SoC Encounter™ internal clock router. The Cadence® SoC Encounter™ constructs the final physical layout. Results are analyzed using the Cadence® Virtuoso® UltraSim Full-Chip Simulator, a transistor-level FastSPICE circuit simulator. Statistical distribution of logic paths is also obtained by Cadence® Virtuoso® UltraSim advanced Monte Carlo statistical analysis. The Monte Carlo variation parameters are device channel length, interconnect width, power supply voltage and load capacitance. These variation parameters are varied in an uncorrelated manner around their nominal values with a standard deviation of 5%.

B. Results

The results of applying the proposed algorithm to several benchmark circuits are listed in Table I. The first five rows list the benchmark name, the number of clock sinks, logic gates, logic paths, and skew regions, respectively. The following two row blocks list, respectively, the total wire length, and power consumption. The experimental parameter ζ is varied around a typical value. The granularity of the skew regions is affected by the circuit characteristics and the user defined thresholds vector, T . The experiment evaluates the relationship among the metal resources, power consumption, and relative skew tolerance parameter ζ . As expected, a larger ζ increases the wire length and power consumption but reduces the maximum skew (see Fig. 10(d)). Comparing these results to the methods proposed in [10], [11], and [21], a typical value of $\zeta = 1$ improves the wire length and power dissipation, as depicted in Fig. 10. As compared to other nonuniform mesh construction methods without skew tolerance managing capabilities [10],[11], the proposed method achieves a 41% average reduction in metal consumption and a 43% average reduction in power dissipation. Relative to other methods that employ a skew tolerance managing mechanism but do not use a hybrid clock topology [21], an 8% average reduction in metal consumption and a 9% average reduction in power dissipation is achieved.

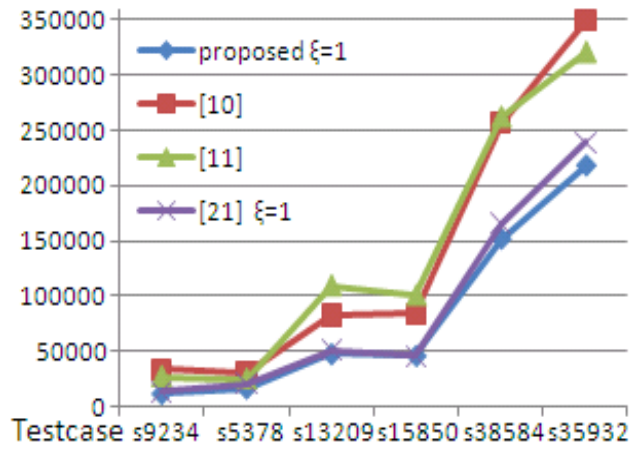
Table II lists the statistical distribution of the logic paths of the proposed method compared to [21], with respect to the maximum skew variation ratio over all maximum allowed skew constraints (see (6)). A histogram of the logic paths distribution is plotted in Fig. 11. As shown in Fig. 11, both the proposed method and [21] successfully bound the maximum skew variation ratio over all maximum allowed skew constraints by ζ , as required. The histogram shows that the proposed method moves logic paths toward the bounding value (ζ), exhibiting a tighter bound than [21]. A tighter bound means that the design skew variation is closer to the required value, namely less overdesign, hence, a reduction in metal consumption and power dissipation. Hybrid clock topologies successfully achieve design targets, while avoiding overdesign.

Statistical distribution of the logic paths is not available for [10] or [11], hence, a comparison of logic paths distribution could not be performed. However, [10] and [11] employ a different approach which makes comparing maximum skew or maximum skew variations to the proposed method impractical. While [10] and [11] aim to reduce the overall maximum skew and incur an overdesign overhead, the proposed method selectively reduce skew variation, in order to avoid overdesign, hence save metal consumption and power dissipations.

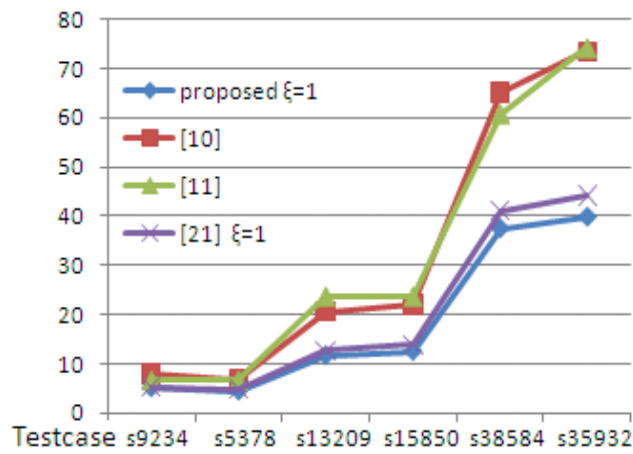
TABLE I

RESULTS OF THE PROPOSED ALGORITHM AS COMPARED WITH OTHER APPROACHES [10], [11], [21]

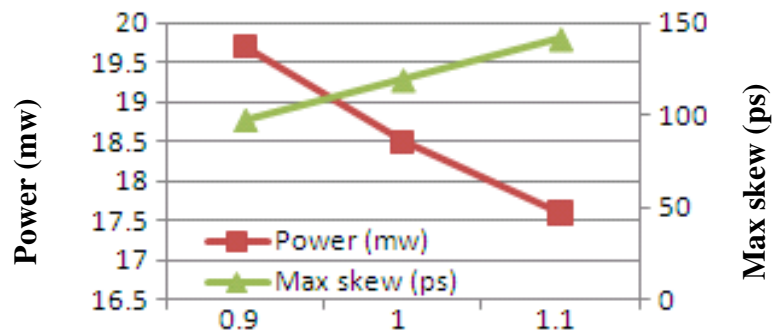
Testcase	s9234	s5378	s13207	s15850	s38584	s35932	Average	
Clock sinks	135	165	500	566	1426	1728	753	
Logic gates	5.6K	2.8K	8K	9.8K	19.2K	16K	10.2K	
Logic paths	3.1K	5.4K	12.4K	18.6K	54.5K	43.3K	22.9K	
Skew regions	3	3	4	6	8	6	5	
Wire Length (um)	$\xi = 1.1$	12113	19436	46533	40379	156197	212638	81216
	$\xi = 1.0$	11713	16683	47623	46139	151995	218274	82071.2
	$\xi = 0.9$	12506	19725	46893	42046	161538	223442	84358.3
	[10]	33610	31009	82884	84055	256567	349432	139593
	[11]	27177	24911	109538	100778	262528	321293	141038
	[21]	13376	20839	51443	45628	166274	239342	89483.7
Power (mw)	$\xi = 1.1$	4.85	4.12	10.33	11.37	36.23	38.74	17.6
	$\xi = 1.0$	5.18	4.53	11.71	12.55	37.46	39.81	18.5
	$\xi = 0.9$	6.7	4.66	12.04	13.53	39.17	42.39	19.7
	[10]	8	6.7	20.6	22	65.2	73.5	32.7
	[11]	6.7	6.72	23.8	23.8	60.9	74.3	32.7
	[21]	5.27	4.84	12.59	13.93	41.18	44.25	20.3



(a) Wire length (um)



(b) Power (mw)



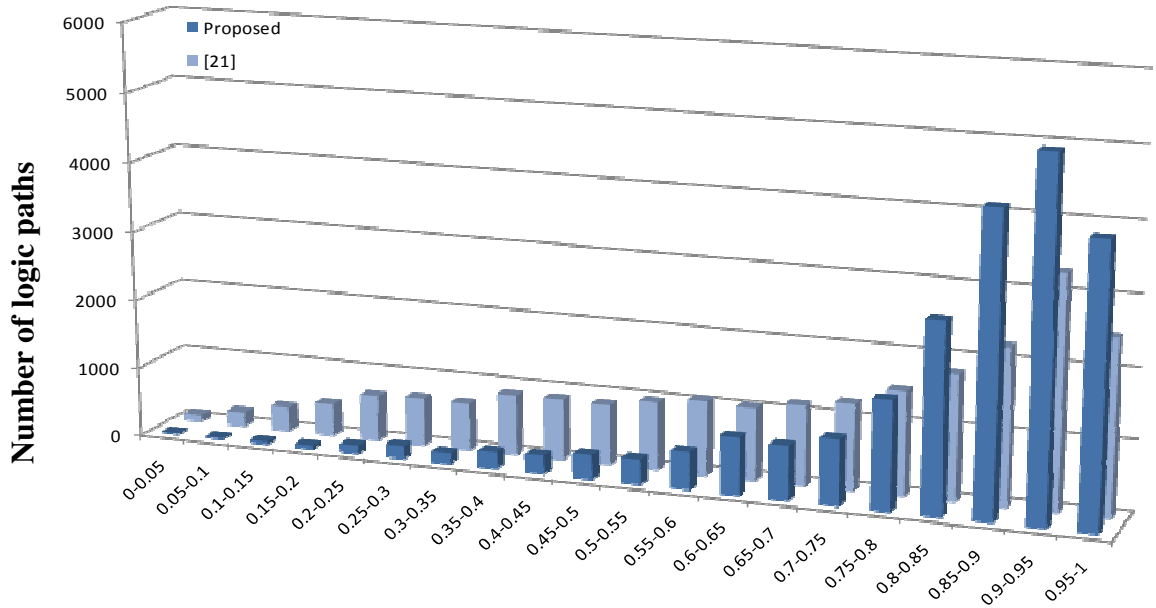
(c) Relative skew tolerance – ξ

Fig. 10. Proposed method with $\xi = 1$ vs. [10], [11], and [21]: (a) wire length, (b) power, and (c) power and maximum skew vs. relative skew tolerance parameter ξ .

TABLE II

THE NUMBER OF THE LOGIC PATHS IN THE CIRCUIT WITH RESPECT TO THE MAXIMUM SKEW VARIATION
RATIO OVER ALL MAXIMUM ALLOWED SKEW CONSTRAINTS

Testcase ($\xi=1$)		s9234		s5378		s13207		s15850		s38584		s35932		Average	
		Proposed	[21]	Proposed	[21]	Proposed	[21]	Proposed	[21]	Proposed	[21]	Proposed	[21]	Proposed	[21]
Maximum skew variation ratio over all maximum skew constraints allowed $\delta_{max} / skew_{allowed}$ (bounded by ξ)	0-0.05	65	9	2	5	4	25	11	56	0	311	0	173	14	97
	0.05-0.1	23	16	4	16	9	74	24	149	0	654	43	346	17	209
	0.1-0.15	1	28	14	27	22	223	48	249	71	981	74	606	38	352
	0.15-0.2	5	37	9	38	42	248	22	260	55	1254	178	996	52	472
	0.2-0.25	29	40	18	49	32	273	86	335	327	1363	260	1905	125	661
	0.25-0.3	26	99	39	70	154	298	134	428	436	1690	346	1602	189	698
	0.3-0.35	34	53	32	92	58	310	260	484	382	1799	173	1386	157	687
	0.35-0.4	159	65	47	130	72	335	223	632	491	2017	476	2078	245	876
	0.4-0.45	102	68	49	173	91	360	195	651	600	2126	563	1949	267	888
	0.45-0.5	67	84	50	157	105	372	210	484	763	2344	909	1797	351	873
	0.5-0.55	29	43	72	184	25	397	279	502	981	2562	779	2208	361	983
	0.55-0.6	108	121	92	340	267	446	428	577	1363	2627	996	2295	542	1068
	0.6-0.65	290	174	363	281	880	632	502	688	1744	2671	1126	1819	818	1044
	0.65-0.7	215	229	297	340	769	546	744	800	1690	2834	953	2122	778	1145
	0.7-0.75	233	189	527	416	546	632	818	688	1962	2889	1559	2641	941	1243
	0.75-0.8	316	301	585	524	1029	781	1693	1395	3924	3543	1819	2382	1561	1488
	0.8-0.85	483	347	767	502	1562	1141	2734	1637	7903	4197	2815	2901	2711	1788
0.85-0.9	357	456	628	437	2418	1916	4073	2399	12917	4633	5265	3551	4276	2232	
0.9-0.95	301	381	767	902	2282	1699	2864	3032	10028	7848	14159	5932	5067	3299	
0.95-1	223	282	994	783	1897	1401	3013	2548	7935	5668	9799	4243	3977	2488	



Maximum skew variation ratio over all maximum skew constraints allowed

Fig. 11. A histogram showing the distribution of the logic paths of the proposed method compared to [21], with respect to the maximum skew variation ratio over all maximum allowed skew constraints.

Section VI

CONCLUSIONS

An efficient graph-theoretic and geometric quasi-linear algorithm for managing clock skew tolerance is presented in this dissertation. Skew variations are managed while considering the criticality of the timing of each data path. An algorithm and flow for planning and synthesizing non-uniform clock meshes are integrated with current CAD tools and demonstrated on a 65 nm CMOS process and cell library. Experimental results on a set of benchmark circuits exhibit a 41% average decrease in metal wire length and a 43% average decrease in power dissipation as compared to existing methods that do not employ selective reduction of skew variations. Comparison to other methods with variation managing techniques using only meshes exhibits an 8% average reduction in metal consumption and a 9% average reduction in power dissipation.

These results demonstrate that managing skew tolerance by wisely prioritizing critical paths saves significant metal resources and dissipates less power as compared to traditional methods. Furthermore, hybrid clock structures consisting of both nonuniform meshes and trees are capable of further reducing power and metal consumption.

Future improvements of the algorithm are possible. Other design parameters, *e.g.*, metal width and layer, could be integrated into the optimization process. Since constraint graph extraction is computationally expensive, registers at the same local region could be clustered into one node before extraction. The algorithm presented here can be adapted to automate the crosslink insertion process [8]. Rather than inserting crosslinks to reduce maximum variations, the crosslinks could be inserted according to the criticality of the individual data paths. The algorithm presented here targets a mesh for zero skew; useful skew [17] may also be considered. The selective resource management idea could be adapted to construct and optimize power grid networks, in addition to clock distribution

networks. A power grid is constructed to satisfy current consumption for each consumer. This method is anticipated to reduce metal area, hence power grid capacitance, and thereby smaller power switches may be needed to drive the power grid. However, some applications call for increasing the capacitance of the power grid for mitigating power supply noise, so that this method should be employed with care.

PUBLICATIONS

1. Abdelhadi, R. Ginosar, A. Kolodny, and E. G. Friedman, "Timing-Driven Variation-Aware Nonuniform Clock Mesh Synthesis," Proceedings of the ACM/IEEE Great Lakes Symposium on VLSI, pp. 15-20, May 2010.
2. A. Abdelhadi, R. Ginosar, A. Kolodny, and E. G. Friedman, "Timing-Driven Variation-Aware Synthesis of Hybrid Mesh/Tree Clock Distribution Networks," Pending for a journal publication.

REFERENCES

- [1] E. G. Friedman, "Clock Distribution Networks in Synchronous Digital Integrated Circuits," Proceedings of the IEEE, Vol. 89, No. 5, pp. 665-692, May 2001.
- [2] P. J. Restle et al., "The Clock Distribution of the Power4 Microprocessor," Proceedings of the IEEE International Solid-State Circuits Conference, pp. 1.144-1.145, February 2002.
- [3] T. Xanthopoulos et al., "The Design and Analysis of the Clock Distribution Network for a 1.2 GHz Alpha Microprocessor," Proceedings of the IEEE International Solid-State Circuits Conference, pp. 402-403, February 2001.
- [4] N. A. Kurd, J. S. Barkatullah, R. O. Dizon, T. D. Fletcher, and P. D. Madland, "A Multigigahertz Clocking Scheme for the Pentium® 4 Microprocessor," IEEE Journal of Solid-State Circuits, Vol. 36, No. 11, pp. 1647-1653, November 2001.
- [5] S. Tam et al., "Clock Generation and Distribution of a Dual-Core Xeon Processor with 16MB L3 Cache," Proceedings of the IEEE International Solid-State Circuits Conference, pp. 1512-1521, February 2006.
- [6] C. Yeh et al., "Clock Distribution Architectures: a Comparative Study," Proceedings of the IEEE International Symposium on Quality Electronic Design, pp. 85-91, March 2006.
- [7] P. J. Restle and A. Deutsch, "Designing the Best Clock Distribution Network," Proceedings of the IEEE Symposium on VLSI Circuits, pp. 2-5, June 1998.
- [8] A. Rajaram, J. Hu, and R. Mahapatra, "Reducing Clock Skew Variability Via Crosslinks," IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 25, No. 6, pp.1176-1182, June 2006.
- [9] I. Vaisband, R. Ginosar, A. Kolodny, and E. G. Friedman, "Power Efficient Tree-Based Crosslinks for Skew Reduction," Proceedings of the ACM/IEEE Great Lakes Symposium on VLSI, pp. 285-290, May 2009.
- [10] A. Rajaram and D. Z. Pan, "MeshWorks: an Efficient Framework for Planning, Synthesis and Optimization of Clock Mesh Networks," Proceedings of the IEEE Asia and South Pacific Design Automation Conference, pp. 250-257, January 2008.

-
- [11] G. Venkataraman, Z. Feng, J. Hu, and P. Li “Combinational Algorithms for Fast Clock Mesh Optimization,” Proceedings of the IEEE/ACM International Conference on Computer-Aided Design, pp. 563-567, November 2006.
- [12] A. L. Sobczyk, A. W. Luczyk, and W. A. Pleskacz, “Power Dissipation in Basic Global Clock Distribution Networks,” Proceedings of the IEEE Design and Diagnostics of Electronic Circuits and Systems, pp. 1-4, April 2007.
- [13] G. Tosik, L. M. S. Gallego, and Z. Lisik, “Different Approaches for Clock Skew Analysis in Present and Future Synchronous IC's,” Proceedings of the International Conference on "Computer as a Tool," pp. 1227-1232, September 2007.
- [14] V. Mehrotra and D. Boning, “Technology Scaling Impact of Variation on Clock Skew and Interconnect Delay,” Proceedings of the IEEE International Interconnect Technology Conference, pp. 122-124, June 2001.
- [15] S. Abe, M. Hashimoto, and T. Onoye, “Clock Skew Evaluation Considering Manufacturing Variability in Mesh-Style Clock Distribution,” Proceedings of the IEEE International Symposium on Quality Electronic Design, pp. 520-525, March 2008.
- [16] D. Velenis, M. C. Papaefthymiou, and E. G. Friedman, “Reduced Delay Uncertainty in High Performance Clock Distribution Networks,” Proceedings of the IEEE Design Automation and Test in Europe Conference, pp. 68-73, March 2003.
- [17] I. S. Kourtev, B. Taskin, and E. G. Friedman, Timing Optimization Through Clock Skew Scheduling, Second Edition, Springer Science+Business Media, 2009.
- [18] S. D. Kugelmass and K. Steiglitz, “A Probabilistic Model for Clock Skew,” Proceedings of the IEEE International Conference on Systolic Arrays, pp. 545-554, May 1988.
- [19] M. P. Desai, R. Cvijetic, and J. Jensen, “Sizing of Clock Distribution Networks for High Performance CPU Chips,” Proceedings of the IEEE/ACM Annual Design Automation Conference, pp. 389-394, June 1996.
- [20] F. P. Preparata and M. I. Shamos, Computational Geometry: an Introduction, Springer-Verlag, 1985.
- [21] A. Abdelhadi, R. Ginosar, A. Kolodny, and E. G. Friedman, “Timing-Driven Variation-Aware Nonuniform Clock Mesh Synthesis,” Proceedings of the ACM/IEEE Great Lakes Symposium on VLSI, pp. 15-20, May 2010.

- [22] M. Mori, H. Chen, B. Yao, and C. Cheng, "A Multiple Level Network Approach for Clock Skew Minimization with Process Variations," Proceedings of the IEEE Asia and South Pacific Design Automation Conference, pp. 263-268, January 2004.
- [23] H. Su and S. S. Sapatnekar, "Hybrid Structured Clock Network Construction," Proceedings of the IEEE/ACM International Conference on Computer-Aided Design, pp. 333-336, November 2001.
- [24] M. A. Jackson, A. Srinivasan, and Kuh, "Clock Routing for High-Performance ICs," Proceedings of the IEEE/ACM Annual Design Automation Conference, pp. 573-579, June 1990.
- [25] X. Ye, P. Li, and F. Liu, "Practical Variation-Aware Interconnect Delay and Slew Analysis for Statistical Timing Verification," Proceedings of the IEEE/ACM International Conference on Computer-Aided Design, pp. 54-59, November 2006.

**סינתזה של רשת הפצת שרון היברידית המשלבת
סריגי ועצי שרון, הסובלנית לשונות בסטיית השרון
כתלות בתזמונים של המסלולים הלוגיים במעגל**

אמיר עבד-אלהאדי

**סינתזה של רשת הפצת שעון היברידית המשלבת
סריגי ועצי שעון, הסובלנית לשונות בסטיית השעון
כתלות בתזמונים של המסלולים הלוגיים במעגל**

חיבור על מחקר

לשם מילוי חלקי של הדרישות לקבלת התואר

מגיסטר למדעים בהנדסת חשמל

אמיר עבד-אלהאדי

הוגש לסנט הטכניון – מכון טכנולוגי לישראל

אוקטובר, 2009

חיפה

חשוון, תשע"א

סינתזה של רשת הפצת שעון היברידית המשלבת סריגי ועצי שעון, הסובלנית לשונות בסטיית השעון כתלות בתזמונים של המסלולים הלוגיים במעגל

כל הזכויות שמורות 2010 אמיר עבד-אלהאדי

למשפחתי על האהבה החמה והעידוד המתמשך.

להוריי היקרים רסמיה ומוחמד,

ולסועאד, בת-זוגתי האהובה.

הבעות תודה

המחקר נעשה בפקולטה להנדסת החשמל בטכניון בהנחיית פרופ' רן גינוסר¹, פרופ' אבינועם קולודני¹ ופרופ' אבי פרידמן².

ברצוני להביע את תודתי העמוקה והערכתי הרבה למנחים שלי פרופ' רן גינוסר, פרופ' אבינועם קולודני ופרופ' אבי פרידמן, על העידוד, ההדרכה, והתמיכה. הרמה המקצועית של המחקר הינה בזכות המאמץ והעידוד שלכם, שבלעדיהם עבודה זו לא הייתה יוצאת לאור.

בנוסף, ברצוני להודות למרכז חקר מערכות VLSI בטכניון שספק את כלי התכנון ולחברת Virage Logic שספקה את נתוני תהליך הייצור וספריות התאים.

חלק ממחקר זה הוצג בכנס:

Great Lakes Symposium on VLSI (Providence, Rhode Island, USA, 2010). GLSVLSI '10

הוצאות הנסיעה לכנס מומנו במלואם על ידי הטכניון, ולזה אני אסיר תודה.

מחקר זה נתמך בחלקו על ידי מרכז חקר מעגלים מתקדמים בטכניון (Technion ACRC) ומאגד אלפא (ALPHA Research Consortium).

לבסוף, אני מודה לטכניון על התמיכה הכספית הנדיבה בהשתלמותי.

¹ פקולטה להנדסת החשמל, טכניון, חיפה

² פקולטה למחשבים והנדסת החשמל, אוניברסיטת רוצ'סטר, ניו יורק

תוכן עניינים

1.....	תקציר
3.....	רשימת קיצורים
5.....	רשימת סימונים
7	פרק I : מבוא
9.....	פרק II: סריגי שעון וסטיית שעון
9.....	א. סריגי שעון
10	ב. אילוצי סטיית שעון ואי-וודאות
12	אי-וודאות בסטיית שעון
12	גרף אילוצים
	פרק III: סינטזה של טופולוגית שעון היברידי שמשלבת סריגי שעון לא אחידים עם עצי
15	שעון: מוטיבציה ומחקרים קודמים
15	א. מוטיבציה
16	ב. מחקרים קודמים
	פרק IV: סינטזה של רשתות הפצת שעון היברידיות שמשלבות סריגי שעון עם עצי
19	שעון
19	א. תיאור הבעיה
19	נתוני קלט
20	ניסוח הבעיה
20	אלגוריתם לבניית טופולוגית שעון סריג/עץ
21	I: פאזה: חילוץ גרף האילוצים
23	II: פאזה: חילוץ מפת סטיית השעון

23	פאזה III: תיקון חפיפה.....
28	פאזה IV: יצירת טופולוגית שעון סריג/עץ
31	פרק V: תוצאות ניסיוניות.....
31	א. תהליך וסביבת תכנון.....
32	ב. תוצאות
39	מסקנות
41	רשימת פרסומים
43	רשימת מקורות.....

רשימת ציורים

- איור 1. ארכטיקטורות שעון לא מבוססות שעון (א) שדרה של פנטיום 4 (ב) עצים עם חוליות קישור (ג) סריג גלובלי ברמה סופית (ד) סריג גלובלי עם עצים מקומיים (ה) עץ גלובלי עם סריגים מקומיים 11
- איור 2. רגיסטרים עקביים s_i ו- עם סטיית שעון s_j , תוחמים מסלול לוגי עם השהיית התפשטות $P_{Delay}^{i,j}$ 13
- איור 3. מיפוי גרף אילוצים: (א) מעגל סינכרוני (ב) גרף האילוצים המתאים 13
- איור 4. פאזה I, בניית גרף אילוצים: (א) חיבורים ומרחב פיזי של מעגל סינכרוני עם רגיסטרים ממוקמים, (ב) גרף האילוצים המתאים. משקלי הקשתות הינם סטיית השעון המכסימלית המותרת, (ג) תכונות הצמתים ומשקלי הקשתות הינם הערכים ההתחלתיים 22
- איור 5. האלגוריתם של הפאזה השנייה אשר מייצר מפת סטיית השעון: (א) תיאור האלגוריתם (`mergeVertices()` מתואר באיור 6), (ב) דוגמא לריצה. השורות הן המחזוריים והעמדות הן צעדי האלגוריתם 24
- איור 6. אלגוריתם לאיחוד צמתים (חלק מפאזה II) 25
- איור 7. דוגמא של איחוד צמתים: (א) גרף אילוצים, הצמתים ממוקמים באותו מקום של הרגיסטרים המתאימים, (ב) גרף האילוצים אחרי האיחוד, (ג) ערכי תכונות הצמתים לאחר איחוד הצמתים 25
- איור 8. פאזה III: ייצור מפת סטיית שעון ללא חפיפות (א) תיאור האלגוריתם, (ב) דוגמא לריצה. השורות הן המחזוריים והעמדות הן צעדי האלגוריתם 27

- איור 9. דוגמא למבנה המוצע של ערבוב סריגים לא אחידים ועצים ללא חוצצים: (א) מפת סטיית השעון מופיעה ברקע. אזורים כתומים מסמנים דרישה יותר מחמירה של שונות סטיית השעון. הנקודות העגולות הינן רכיבים סדרתיים, (ב) ייצוג תלת מימדי של רשת השעון כולל העץ הדוחף 29
- איור 10. השיטה המוצעת עם $\xi = 1$ בהשוואה ל- [10] ו- [11]: (א) אורך חוטים, (ב) הספק, (ג) הספק וסטיית שעון מקסימלית לעומת הפרמטר היחסי של סטיית השעון ξ ... 35
- איור 11. היסטוגרמה המתארת את התפלגות המסלולים הלוגיים בשיטה המוצעת יחסית ל- [21] ביחס לשונות הסטיית שעון המקסימלית חלקי סטיית השעון המקסימלית המותרת 37

רשימת טבלאות

טבלה I.	תוצאות האלגוריתם המוצע בהשוואה לגישות אחרות [10],[11],[21]	34
טבלה II.	מספר המסלולים הלוגיים במעגל ביחס לשונות הסטיית שיעון המקסימלית חלקי סטיית השיעון	
המקסימלית המותרת		36

תקציר

אות השעון במעגלים משולבים הינו אות גלובלי שמטרתו לתזמן את כל הרכיבים הסדרתיים במערכת סינכרונית. רשתות שעונים משתרעות במעגל בשביל להפיץ ולספק את אות השעון לכל הרכיבים הסדרתיים. פיזור לא אחיד של הרכיבים הסדרתיים, עומסים שונים, חיווט באורך שונה, אי-דיוק בתהליך ייצור ושינויים במתח ספק וטמפרטורה (Process, Voltage and Temperature (PVT) Variations), גורמים לשונות בזמני התפשטות של אות השעון, ובכך זמן הגעתו לרכיבים הסדרתיים אינו אחיד. שונות זמני ההגעה של השעון ליעדו (Skew) משפיעה לרעה על תזמון המערכת, מגבילה את ביצועיה ואת תפוקת הייצור, ויכולה לגרום לשגיאות בתפקוד המערכת.

רשתות הפצת השעון (Clock Distribution Network - CDN) שאינן מבוססות על מבנה עצי, כגון חוליות קישור (Crosslink) או סריגים (Mesh) משמשות במטרה להפחית את השונות בסטיית השעון (Skew). טופולוגיות שאינן מבוססות על מבנה עצי מפגינות יכולת רבה בהורדת השונות של סטיית השעון בשל ההתפשטות מרובת המסלולים עקב ריבוי החוטים אשר מחוטים את מקור השעון ליעדו. רשתות שעון שאינן מבוססות על מבנה עצי מאפשרות הפצה של אות השעות עם חסינות רבה לשונות בערכים הנומינליים הנגרמת עקב שונות בתהליך הייצור, מתח ספק, או טמפרטורה. מבנה כזה הינו סובלני מאוד למיתוגים ועומסים לא אחידים ברשת השעון, לכן מאפשר שינויים ותוספות למעגל ברגע האחרון לפני הייצור ללא תופעות לוואי, ובכך מקצר זמני ייצוא מוצרים לשוק. סריגי שעון מהווים אלטרנטיבה אפקטיבית להפצת אות השעון הגלובלי, ובכך הם משמשים במיקרו-מעבדים עתירי ביצועים כגון: Power4, Digital Alpha, Intel® Pentium® 4, Xeon®, ועוד...

בכל זאת, רשתות שעון שאינן מבוססות על מבנה עצי סובלות ממספר חסרונות וקשיים. רשתות סריג מורכבים ממספר גדול של צמתים ועומסים בלתי אחידים, זה מקשה על ניתוח,

ייעול ואוטומציה של הרשת. שפע החוטים הדרושים לריבוי המסלולים מכתוב צריכה משמעותית של משאבי שטח ומתכת, יחסית לטופולוגיות מבוססי עצים. רשתות סריג צורכות הספק משמעותי בגלל הקיבול הגדול שנגרם עקב ריבוי החוטים וההתקנים הדרושים בשביל לדחוף את הקיבול הגדול. בנוסף, הבדלים בזמני השהייה של ההתקנים שדוחפים את רשת הסריג מיצרים לולאות של זרמי קצר דרך המסלולים המרובים. גדילה בשונות בתהליך הייצור גורמת לגדילה בצריכת ההספק, משום שגדילה בשונות תהליך הייצור מאלצת שימוש ברשת סריג חסינה אשר משתמשת ביותר מתכות ובהתקנים יותר גדולים לדחיפת הסריג.

מספר מחקרים עסקו בשיטות לייעול רשתות שעון שאינן מבוססות על מבנה עצי. חלקם הציעו שיטות לבניית רשתות מותאמות ידנית, ואחרים הציעו אוטומציה לייעול רשתות שעון שאינן מבוססות על מבנה עצי על ידי הכנסת חוליות קישור במטרה לשפר את סיבולת רשת השעון לשינויים ולהימנע מתקורה בצריכת ההספק. מחקרים אחרים התחילו מרשת סריג מלאה והורידו חוטים מתוך הרשת שאינם משפרים את סיבולת הרשת לשינויים, ובכך חסכו בחוטים ובקיבול, ולכן בהספק. שיטות אחרות ערבבו בין סריגי שעון לעצי שעון, ובכך ייצרו טופולוגיה מעורבת שמטרתה להוריד את סטיית השעון הנומינאלית המכסימלית על ידי הוספת סריגי שעון לעצי שעון קיימים. שיטות דומות מערבבות סריגי שעון עם עצי שעון בעלי סטיית שעון נומינלית אפסית (Zero Skew Tree (ZST)), ובכך מייצרים טופולוגיה ססטיית השעון הנומינלית שלה הינה אפס. רוב המחקרים שפורסמו בתחום עוסקים בשונות של סטיית השעון, לעומת זאת, המחקר שלנו עוסק בניהול השונות בסטיית השעון בהסתמכות על קריטיות התזמונים במעגל. גישה כזאת הינה ייחודית ולא ננקטה בעבר לבנייה וייעול של רשתות שעון בצורת סריג. אות שעון אשר דוחף מסלול לוגי קריטי נדרש להיות חסין יותר לשונות בסטיית השעון במטרה להפחית את השפעת סטיית השעון על המסלול הלוגי. אפשר להפחית את צריכת ההספק על ידי הפחתת דרישות השונות של סטיית השעון במסלולים שאינם קריטיים מבחינת תזמונים.

מזעור אגרסיבי בתהליך הייצור גרם לעלייה של סטיית השעון ביחס לזמן המחזור הכללי של המעגל, לכן זה גרם לירידת מרווחי התזמונים במעגל ולהחמרה בתזמוני המסלולים הלוגיים. מחקרים רבים עסקו בהורדת סטיית השעון, בדרך כלל שיטות כאלו גרמו לעלייה ניכרת בצריכת ההספק. שיטות אחרות ניסו לנצל את סטיית השעון כמרכיב מועיל בתזמון המערכת ולהעלות את תדר השעון של המעגל, אבל גישה כזו מעלה את האי-וודאות בערך סטיית השעון כתוצאה של מזעור תהליך הייצור, וזה מגביל את ביצועי המערכת בגלל ירידה במרווחי התזמונים. מרווחי התזמון הם גורם עיקרי בהתגברות על אי-הוודאות בזמני הגעת השעון ליעדו. מסלולים לוגיים עם מרווחי תזמון צרים, הינם רגישים מאוד לשונות סטיית השעון, ולכן צריך להקטין את שונות סטיית השעון במסלולים עם תזמון קריטי, בדרך כלל זה עולה בתוספת של צריכת ההספק. במחקר הזה ננקטה שיטה אחרת להתגברות על שונות סטיית השעון, וזה על ידי ניהול סלקטיבי של שונות סטיית השעון בתלות במרווחי התזמון של המסלולים הלוגיים במערכת. ככל שהמסלול הלוגי יותר קריטי מבחינת תזמוני המערכת, הוא רגיש יותר לשונות בסטיית השעון, ולכן יושקע מאמץ יותר בהפחתת השונות של סטיית השעון. ניהול עדיפויות לפי מצב תזמוני המסלול נועד בשביל להוריד בצריכת ההספק, כי במסלולים הלוגיים שאינם קריטיים ואינם משפיעים על תפקוד המערכת, מופחתים המאמצים להורדת השונות בסטיית השעון.

השיטה המוצעת ממומשת בעזרת אלגוריתמים בתורת הגרפים ואלגוריתמים גיאומטריים, סיבוכיות זמן הריצה הינה קווי ליניארית. בעזרת ניתוח תזמונים סטטי למעגל (Static Timing Analysis (STA)), מיקומם הפיזי של רכיבי המעגל, ונתוני תהליך הייצור, האלגוריתם מייצר טופולוגית שעון היברידית המורכבת מסריג שעון לא אחיד ועצי שעון ללא חוצצים (Unbuffered Trees (UBT)). הטופולוגיה המוצעת מסוגלת לסבול סטיית שעון במידה המתאימה לקריטיות התזמונים של המסלולים הלוגיים. בחלקי המעגל אשר מכילים מסלולים עם דרישות תזמון שאינן קפדניות, אשר מתורגמות לדרישות שאינן קפדניות בשונות של סטיית השעון, אפשר להשתמש במבנה עץ ללא חוצצים כהתפשטות של שאר המבנה הסריגי של טופולוגית השעון. ובכך, אפשר לנצל את היתרונות של המבנה העצי בחלקי

המעגל שאינם מצריכים שימוש במבנה שעון סריגי אשר צורך יותר הספק. עצי שעון ללא חוצצים אשר מורכבים אך ורק ממתכות ללא טרנזיסטורים, מפגינים שונות נמוכה בסטיית השעון לעומת עצים עם חוצצים, וזה בגלל שרוב השונות בסטיית השעון נובעת מהשונות בנתוני תהליך הייצור ורעש ספקי המתח בטרנזיסטורים. טופולוגית הפצת השעון המוצעת במחקר מותאמת במטרה לענות על דרישות השונות של סטיית השעון, ולהימנע מצריכה מיותרת של הספק או משאבי מתכת.

האלגוריתם המוצע ממקם סריגי שעון ועצי שעון ללא חוצצים במרחב הפיזי של המעגל ומקצה שטח מלבני לכל טופולוגית שעון. סריגי השעון נבדלים ביניהם בצפיפות המתכות, ועצי השעון חסרי החוצצים מסופחים למבנה הסריגי של השעון. האזורים המלבניים אשר מוקצים לטופולוגיות השעון יכולים לחפוף ביניהם, האלגוריתם דואג בהמשך לתקן את החפיפה. כל אזור מלבני מותאם לסריג שעון או לעץ שעון חסר חוצצים אשר עונה על דרישות שונות סטיית השעון. האלגוריתם מורכב מארבע פאזות. בפאזה הראשונה מפיקים את גרף האילוצים (Constraint Graph) מתוך ניתוח התזמונים הסטטי וקישוריות המעגל. גרף האילוצים הינו גרף מכוון המתאר את המעגל הסדרתי, כאשר הרכיבים הסדרתיים במעגל מתוארים על ידי הצמתים בגרף, וכל מסלול לוגי בין שני רכיבים סדרתיים מתואר על ידי קשת המחברת בין הצמתים המתאימים. אפשר לייחס תכונות ומשקלים לצמתים או לקשתות. באלגוריתם המוצע כל צומת מקבל את תכונות הרכיב הסדרתי המתאים לו, למשל הקיבול שהוא מעמיס על השעון והמיקום שלו במרחב הפיזי. כל קשת מקבלת משקל שמתאר את סטיית השעון המכסימלית המותרת בין שני הרכיבים הסדרתיים שמחוברים בעזרת הקשת האמורה. בפאזה השנייה מחלצים את מפת סטיית השעון, אשר מתארת את דרישות שונות סטיית השעון לאזורים מלבניים שונים במרחב הפיזי של המעגל. אלגוריתם מחזורי עובר על קבוצה של ערכי סף של סטיית שעון עוקבים, מוריד כל קשת מהגרף אשר משקלה גדול מערך הסף הנוכחי, ומוצא את קבוצת הצמתים הקשירים. המלבן התוחם את הרכיבים הסדרתיים המתאימים לקבוצת הצמתים הקשירים מייצר אזור במפת סטיית השעון, הסטייה המקסימאלית המותרת עבור אזור זה הינה הסטייה המקסימאלית בין כל המסלולים הלוגיים באזור,

שמתוארים על ידי קשתות הגרף. בפאזה השלישית מורידים את החפיפה בין האזורים המלבניים השונים במפת סטיית השעון על ידי סדרה של פעולות גיאומטריות של חיתוך ואיחוד. אזור עם דרישת סטייה יותר מחמירה מתגבר על אזור אחר עם דרישת סטייה פחות מחמירה ומכסה אותו, לכן, במקום אזורים מלבניים נוצרים פוליגונים. לבסוף, בפאזה הרביעית מתאימים לכל אזור במרחב הפיזי סריג שעון או עץ שעון חסר חוצצים העונה על דרישות שונות סטיית השעון באזור הספציפי. אם עץ שעון חסר חוצצים עונה על דרישות שונות סטיית השעון באזור הספציפי, העץ ממקומם באזור האמור, שורש העץ ממוקם במרכז המסה שלו, כאשר המשקלים הינם קיבולי הרכיבים הסדרתיים שמתחברים לאותו עץ. השורש של העץ משודך לסריג השעון הקרוב ביותר. במקרה שעץ שעון חסר חוצצים אינו עונה על דרישות שונות סטיית השעון באזור הספציפי, סריג שעון ממוקם באזור האמור, עם צפיפות מתכות המתאימה לדישת שונות סטיית השעון.

האלגוריתם המוצע ממומש בעזרת Perl ו-TCL. ניסויים לבדיקת האלגוריתם בוצעו על מעגלי מבחן סדרתיים של ISCAS89. המעגלים ממומשים בעזרת ספריית תאים סטנדרטית של Virage Logic SiWare™ בתהליך ייצור של 65 nm, ובתדר עבודה של 1 GHz. תיאור החומרה של מעגלי המבחן מסונתז למעגלים סדרתיים בעזרת Synopsys® Design Compiler® Ultra (DC Ultra). התאים ממוקמים במרחב התכנון הפיזי של המעגל והחוטמים מחוטים בעזרת Cadence® SoC Encounter™ RTL-to-GDSII. פרוצדורה הממומשת ב-TCL מחלצת את גרף האילוצים מתוך המעגל, ומעבירה את הגרף לבסיס נתונים XML. האלגוריתם המוצע מיצר וממקם את סריג השעון ואת העצי השעון חסרי החוצצים, וקובע את השכבה הראשונה של חוצצי הסריג ואת מקומן. עצי שעון ללא חוצצים מחוטים בעזרת כלי חיווט השעון הפנימי של Cadence® SoC Encounter™. התכנון הפיזי הסופי כולל מיקום וחיווט של תאי הספרייה בוצע בעזרת Cadence® SoC Encounter™. הניתוח הסופי של המעגל בוצע בעזרת הסימולטור Cadence® Virtuoso® UltraSim, אשר מבוסס על סימולטור ברמת הטרנזיסטור, FastSPICE. השיטה המוצעת במחקר נבדקה בהצלחה על כמה מעגלי מבחן. תוצאות הניסוי מראות 41% ירידה בשטח

המתכות, ו- 43% ירידה בצריכת ההספק בהשוואה לשיטות שאינן תומכות בניהול הסיבולת של שונות סטיית השעון ביחס לתזמון המסלולים הלוגיים במעגל. בהשוואה למחקר אחר שלנו, אשר משתמש בטכניקת ניהול הסיבולת של שונות סטיית השעון ביחס לתזמון המסלולים הלוגיים במעגל, אבל משתמש בטופולוגיות שעון מבוססות סריג, ואינו משתמש בעצי שעון כלל, התקבלה ירידה של 8% בשטח המתכות, ו- 9% ירידה בצריכת ההספק. תוצאות המחקר מוכיחות שניהול הסיבולת של שונות סטיית השעון ביחס לתזמון המסלולים הלוגיים במעגל על ידי מתן עדיפויות למסלולים הלוגיים הקריטיים מבחינת התזמונים, ושימוש בטופולוגית שעון מעורבת של סריגי שעון ועצי שעון חסרי חוצצים, הינו כלי יעיל שמפגין הפחתה משמעותית בשטח המתכות והספק הנצרך במעגל בהשוואה לשיטות המסורתיות.